

**(WO/2002/058151) CIRCUIT ARRANGEMENT**

Biblio. Data Description Claims National Phase Notices Documents

Latest bibliographic data on file with the International Bureau

Pub. No.: WO/2002/058151 International Application No.: PCT/DE2002/000125
 Publication Date: 25.07.2002 International Filing Date: 17.01.2002
 Chapter 2 Demand Filed: 20.08.2002

IPC: H01L 25/07 (2006.01)

Applicants: SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2 80333 München (DE) (*All Except US*)
 KULIG, Stefan [DE/DE], (DE) (*US Only*).

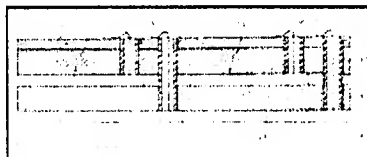
Inventor: KULIG, Stefan, (DE).

Agent: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34 80506 München (DE).

Priority Data: 101 02 750.8 22.01.2001 DE

Title: (EN) CIRCUIT ARRANGEMENT
 (DE) SCHALTUNGSANORDNUNG

Abstract: (EN) The circuit arrangement comprises at least one first chip (C1), without a chip housing, a first metallic body (K1) and a second metallic body (K2), between which the first chip (C1) is arranged. The first chip (C1) is fixed to the first body (K1) in such a way that a first connector of the first chip (C1) is electrically connected to the first body (K1). The first body (K1) is embodied such as to serve as the support for the first chip (C1). The first chip (C1) is connected to the second metallic body (K2) such that a second connector on the first chip (C1) is electrically connected to the second body (K2).



(DE) Die Schaltungsanordnung weist mindestens einen ersten Chip (C1) ohne Chipgehäuse und einen ersten metallischen Körper (K1) und einen zweiten metallischen Körper (K2), zwischen denen der erste Chip (C1) angeordnet ist, auf. Der erste Chip (C1) ist am ersten Körper (K1) derart befestigt, dass ein erster Anschluss des ersten Chips (C1) mit dem ersten Körper (K1) elektrisch verbunden ist. Der erste Körper (K1) ist derart ausgestaltet, dass er als Träger des ersten Chip (C1) dient. Der erste Chip (C1) ist derart mit dem zweiten metallischen Körper (K2) verbunden, dass ein zweiter Anschluss des ersten Chips (C1) mit dem zweiten Körper (K2) elektrisch verbunden ist.

Designated US

States: European Patent Office (EPO) (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

Publication Language: German (DE)

Filing Language: German (DE)

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
25. Juli 2002 (25.07.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/058151 A1

(51) Internationale Patentklassifikation⁷: H01L 25/07

(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, 80506 München (DE).

(21) Internationales Aktenzeichen: PCT/DE02/00125

(22) Internationales Anmeldedatum:
17. Januar 2002 (17.01.2002)

(81) Bestimmungsstaat (national): US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
101 02 750.8 22. Januar 2001 (22.01.2001) DE

Erklärungen gemäß Regel 4.17:

- hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii) für die folgenden Bestimmungsstaaten europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR)
- Erfindererklärung (Regel 4.17 Ziffer iv) nur für US

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): KULIG, Stefan [DE/DE]; Memeler Str. 24, 93057 Regensburg (DE).

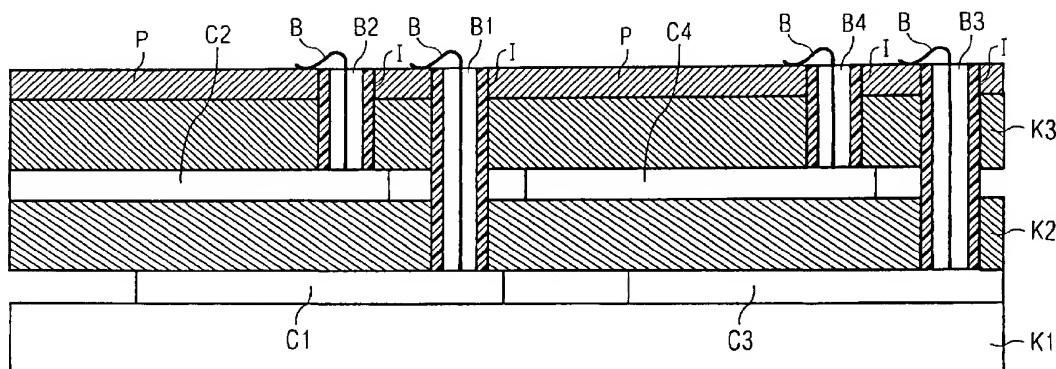
Veröffentlicht:

- mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT ARRANGEMENT

(54) Bezeichnung: SCHALTUNGSANORDNUNG



(57) **Abstract:** The circuit arrangement comprises at least one first chip (C1), without a chip housing, a first metallic body (K1) and a second metallic body (K2), between which the first chip (C1) is arranged. The first chip (C1) is fixed to the first body (K1) in such a way that a first connector of the first chip (C1) is electrically connected to the first body (K1). The first body (K1) is embodied such as to serve as the support for the first chip (C1). The first chip (C1) is connected to the second metallic body (K2) such that a second connector on the first chip (C1) is electrically connected to the second body (K2).

(57) **Zusammenfassung:** Die Schaltungsanordnung weist mindestens einen ersten Chip (C1) ohne Chipgehäuse und einen ersten metallischen Körper (K1) und einen zweiten metallischen Körper (K2), zwischen denen der erste Chip (C1) angeordnet ist, auf. Der erste Chip (C1) ist am ersten Körper (K1) derart befestigt, dass ein erster Anschluss des ersten Chips (C1) mit dem ersten Körper (K1) elektrisch verbunden ist. Der erste Körper (K1) ist derart ausgestaltet, dass er als Träger des ersten Chip (C1) dient. Der erste Chip (C1) ist derart mit dem zweiten metallischen Körper (K2) verbunden, dass ein zweiter Anschluss des ersten Chips (C1) mit dem zweiten Körper (K2) elektrisch verbunden ist.

WO 02/058151 A1



— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Schaltungsanordnung

- 5 Die Erfindung betrifft eine Schaltungsanordnung mit in Chips angeordneten Halbleiterbauelementen, die zum Beispiel für eine ISG-Elektronik (integrierter Startergenerator) in Kraftfahrzeugen geeignet ist.
- 10 Es ist bekannt, Schaltungsanordnungen in Hybridtechnologie herzustellen. Dazu werden Chips mit Halbleiterbauelementen ohne Chipgehäuse direkt auf einem Keramikträger, in dem Leiterbahnen angeordnet sind, elektrisch kontaktiert und befestigt. Weitere elektrische Leitungen für den Chip werden durch
- 15 Bondverbindungen realisiert.

Nachteilig an einer solchen Schaltungsanordnung ist zum einen, dass sie auf Grund des Keramikträgers teuer ist. Zum anderen ist eine solche Schaltungsanordnung als Leistungsmodul

20 für sehr hohe Ströme, wie zum Beispiel 300 Ampere, nicht geeignet, da in einem Keramikträger angeordnete Leiterbahnen sowie Bondverbindungen in der Regel solche hohen Ströme nicht leiten können.

25 Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung anzugeben, die im Vergleich zum Stand der Technik sowohl kostengünstiger als auch für sehr hohe Ströme geeignet ist.

30 Die Aufgabe wird gelöst durch eine Schaltungsanordnung mit folgenden Merkmalen: Die Schaltungsanordnung weist mindestens einen ersten Chip ohne Chipgehäuse auf. Ferner weist die Schaltungsanordnung einen ersten metallischen Körper und einen zweiten metallischen Körper auf, zwischen denen der erste

35 Chip angeordnet ist. Der erste Chip ist am ersten Körper derart befestigt, dass ein erster Anschluss des ersten Chips mit dem ersten Körper elektrisch verbunden ist. Der erste Körper

ist derart ausgestaltet, dass er als Träger des ersten Chips dient. Der erste Chip ist derart mit dem zweiten Körper verbunden, dass ein zweiter Anschluss des ersten Chips mit dem zweiten Körper elektrisch verbunden ist.

5

Der erste Körper dient also zugleich als Träger und als elektrische Leitung. Der erste Chip wird mechanisch an den ersten Körper derart befestigt, dass sich eine elektrische Verbindung zwischen dem ersten Chip und dem ersten Körper ergibt. Für den Träger des ersten Chips wird auf teure Keramik verzichtet, wodurch die Schaltungsanordnung besonders kostengünstig sein kann.

10

Es sind keine weiteren Verbindungsleitungen zwischen den Körpern und dem ersten Chip, zum Beispiel in Form von aus einem Chipgehäuse ragenden Pins, erforderlich, die die maximal mögliche Stromstärke begrenzen würden. Durch die direkte Anordnung des ersten Chips an den Körpern wird der elektrische Kontakt zwischen dem ersten Chip und den Körpern realisiert.

20

Da der erste Körper keine in einem Substrat angeordnete Leiterbahn ist, kann er eine ausreichende Dicke aufweisen, um hohe Ströme leiten zu können. Durch das Anbringen des gehäuselosen ersten Chips auf dem metallischen ersten Körper wird auch eine besonders große Kontaktfläche realisiert, wodurch der elektrische Widerstand für Strom, der durch den ersten Chip fließt, verringert wird. Ferner wird statt einer Bondverbindung der erste Chip von oben durch den zweiten metallischen Körper kontaktiert, der wie der erste Körper den Transport besonders hoher Ströme ermöglicht. Die Schaltungsanordnung ist folglich für sehr hohe Ströme geeignet.

25

30

Die Schaltungsanordnung hat den weiteren Vorteil, dass durch den ersten Chip erzeugte Wärme besonders gut abgeführt wird aufgrund der großflächigen Kontaktierung des ersten Chips durch den ersten Körper und den zweiten Körper und aufgrund vergleichsweise großer Abmessungen des ersten Körpers und des

35

zweiten Körpers. Im Chip kann also ein Leistungshalbleiterbauelement angeordnet sein, durch den hohe Ströme fließen, dessen Wärme sehr gut abgeführt wird und bei dem im Leistungspfad keine Bondverbindungen angeordnet sind, die die maximale Stromstärke begrenzen würden.

Der erste Körper kann beispielsweise die Form einer evtl. strukturierten Metallplatte oder einer Metallschiene aufweisen.

Der erste Chip weist beispielsweise einen Steueranschluss auf, so dass der Chip durch eine Treiber-Platine gesteuert werden kann.

Der Steueranschluss des ersten Chips wird durch eine Gateverbindung kontaktiert, die z.B. als Bondverbindung ausgestaltet sein kann. Alternativ ist die Gateverbindung z.B. als Metallleitung ausgestaltet, die in einem Plastikrahmen eingespritzt ist.

Damit der Steueranschluss mit der Treiber-Platine verbunden werden kann, weist die Schaltungsanordnung beispielsweise eine erste Bohrung auf, die durch den zweiten Körper bis zum ersten Chip verläuft. Eine Bondverbindung ist in der ersten Bohrung angeordnet und kontaktiert den Steueranschluss. Die Treiber-Platine ist beispielsweise oberhalb des zweiten Körpers angeordnet. Das aus der ersten Bohrung herausragende Ende der Bondverbindung ist mit der Treiber-Platine verbunden.

Die Bondverbindung kann auf die Treiber-Platine z.B. gebondet, geschweißt oder gelötet werden.

Alternativ weist der zweite Körper im Bereich des Steueranschlusses des ersten Chips eine solche Aussparung für die Gateverbindung auf, dass die Gateverbindung seitlich aus dem Stapel, der durch mindestens dem ersten Körper, dem ersten Chip und dem zweiten Körper gebildet wird, herausführbar ist.

Es fehlt also ein seitliches Stück des zweiten Körpers, um den Steueranschluss des ersten Chips nicht zu bedecken und seitlich zugänglich zu machen.

5 Vorzugsweise weist die Schaltungsanordnung einen zweiten Chip ohne Chipgehäuse auf, der derart am zweiten Körper befestigt ist, dass ein erster Anschluss des zweiten Chips mit dem zweiten Körper elektrisch verbunden ist und dass der zweite Körper zwischen dem ersten Chip und dem zweiten Chip angeordnet ist. Der zweite Körper ist derart ausgestaltet, dass er als Träger des zweiten Chips dient. In diesem Fall weist die Schaltungsanordnung einen dritten metallischen Körper auf, der derart mit dem zweiten Chip verbunden ist, dass ein zweiter Anschluss des zweiten Chips mit dem dritten Körper elektrisch verbunden ist und dass der zweite Chip zwischen dem zweiten Körper und dem dritten Körper angeordnet ist. Der erste Chip und der zweite Chip sind also nicht nebeneinander sondern in verschiedenen Ebenen, z.B. übereinander, angeordnet, wodurch der Platzbedarf der Schaltungsanordnung stark reduziert werden kann.

Zur Kontaktierung des Steueranschlusses des ersten Chips kann die erste Bohrung durch den dritten Körper und den zweiten Körper verlaufen. Zur Kontaktierung eines Steueranschlusses des zweiten Chips kann eine zweite Bohrung vorgesehen sein, die durch den dritten Körper bis zum zweiten Chip verläuft. Eine Bondverbindung in einer zweiten Bohrung kontaktiert einen Steueranschluss des zweiten Chips und die Treiber-Platine. Die Treiber-Platine ist beispielsweise auf dem dritten Körper angeordnet. Durch das Übereinanderanordnen der Chips und der Treiber-Platine wird der Platzbedarf der Schaltungsanordnung stark reduziert.

Um Kurzschlüsse zwischen der ersten Bohrung und dem zweiten Körper und dem dritten Körper bzw. zwischen der zweiten Bohrung und dem dritten Körper zu vermeiden, ist es vorteilhaft, zwischen der ersten Bohrung bzw. der zweiten Bohrung und der

entsprechenden Bondverbindung eine isolierende Schicht anzuordnen. Die isolierende Schicht kann z.B. ein in die Bohrung eingesetztes Plastikröhrchen sein. Alternativ kann die isolierende Schicht erzeugt werden durch Lackieren der Bondverbindung.

Der erste Chip und der zweite Chip sind in Reihe geschaltet.

Es liegt im Rahmen der Erfindung, einen dritten Chip ohne Chipgehäuse vorzusehen, der zum ersten Chip parallel geschaltet ist. Dazu ist der dritte Chip zwischen dem ersten Körper und dem zweiten Körper angeordnet. Der dritte Chip ist am ersten Körper derart befestigt, dass ein erster Anschluss des dritten Chips mit dem ersten Körper elektrisch verbunden ist. Der dritte Chip ist mit dem zweiten metallischen Körper derart verbunden, dass ein zweiter Anschluss des dritten Chips mit dem zweiten Körper elektrisch verbunden ist.

Es liegt im Rahmen der Erfindung, weitere Chips vorzusehen, die parallel zum ersten Chip geschaltet sind. Ebenso liegt es im Rahmen der Erfindung, weitere Chips vorzusehen, die parallel zum zweiten Chip geschaltet sind und dazu zwischen dem zweiten Körper und dem dritten Körper angeordnet sind. Auch das Vorsehen weiterer metallischer Körper, zwischen denen Chips angeordnet sind und die mit dem ersten Körper und dem zweiten Körper einen Stapel bilden, ist denkbar.

Die Chips der Schaltungsanordnung zwischen den metallischen Körpern enthalten vorzugsweise Leistungshalbleiterbauelemente, wie zum Beispiel Bipolartransistoren, MOSFET-Transistoren, IGBTs, Dioden, Thyristoren oder Triacs.

Die Schaltungsanordnung ist beispielsweise als Parallelschaltung von Halbbrücken ausgestaltet, wobei jede Halbbrücke aus einer Reihenschaltung zweier Chips besteht, die jeweils einen MOSFET-Transistor enthalten, von denen der eine wie der erste Chip zwischen dem ersten Körper und dem zweiten Körper und

der andere wie der zweite Chip zwischen dem zweiten Körper und dem dritten Körper angeordnet ist. Der erste Chip und der zweite Chip bilden also eine der Halbbrücken. Chips, die zwischen dem ersten Körper und dem zweiten Körper angeordnet sind, sind parallel zueinander geschaltet. Chips, die zwischen dem zweiten Körper und dem dritten Körper angeordnet sind, sind parallel zueinander geschaltet.

Beispielsweise ist der erste Körper mit einem Spannungsanschluss verbunden. Der zweite Körper ist dann mit einem Ausgangsanschluss verbunden, und der dritte Körper ist mit einem Groundanschluss verbunden. Die Chips, die zwischen dem ersten Körper und dem zweiten Körper angeordnet sind, bilden eine High-side-Schalter. Die Chips, die zwischen dem zweiten Körper und dem dritten Körper angeordnet sind, bilden eine Low-side-Schalter.

Eine solche Schaltungsanordnung kann beispielsweise in einem integrierten Startergenerator eingesetzt werden.

Im Folgenden werden Ausführungsbeispiele der Erfindung anhand der Figuren näher erläutert.

Figur 1 zeigt das Schaltbild einer ersten Schaltungsanordnung mit zwei parallel geschalteten Halbbrücken und einer Treiber-Platine.

Figur 2 zeigt einen Querschnitt durch die erste Schaltungsanordnung, in dem ein erster metallischer Körper, ein erster Chip, ein zweiter metallischer Körper, ein zweiter Chip, ein dritter metallischer Körper, eine Treiber-Platine, ein dritter Chip, ein vierter Chip, eine isolierende Schicht und Gateverbindungen dargestellt sind.

Figur 3 zeigt eine dreidimensionale Ansicht einer zweiten Schaltungsanordnung mit einem ersten metallischen

Körper, einem ersten Chip, einem zweiten metallischen Körper, einem zweiten Chip, einem dritten metallischen Körper, Gateverbindungen und einer Treiber-Platine.

5

In einem ersten Ausführungsbeispiel ist eine erste Schaltungsanordnung vorgesehen, die zwei parallel geschaltete Halbbrücken sowie eine Treiber-Platine zur Steuerung der Halbbrücken umfasst (siehe Figur 1).

10

Die Schaltungsanordnung weist einen ersten Chip C1, einen zweiten Chip C2, einen dritten Chip C3 und einen vierten Chip C4 auf, die jeweils einen Leistungs-MOSFET-Transistor enthalten. Der erste Chip C1 und der zweite Chip C2 sind in Reihe und zwischen einem Groundanschluss GA und einem Spannungsanschluss SP geschaltet. Der dritte Chip C3 und der vierte Chip C4 bilden ebenfalls eine Reihenschaltung, die zwischen dem Spannungsanschluss SP und dem Groundanschluss GA geschaltet ist. Der Spannungsanschluss SP wird beispielsweise mit ca. 42 Volt beaufschlagt. Der erste Chip C1 und der dritte Chip C3 sind parallel und zwischen dem Spannungsanschluss SP und einem Ausgangsanschluss AA geschaltet. Der zweite Chip C2 und der vierte Chip C4 sind parallel und zwischen dem Groundanschluss GA und dem Ausgangsanschluss AA geschaltet. Der erste Chip C1 und der zweite Chip C2 bilden eine erste Halbbrücke. Der dritte Chip C3 und der vierte Chip C4 bilden eine zweite Halbbrücke. Der erste Chip C1 und der dritte Chip C3 bilden einen High-side-Schalter. Der zweite Chip C2 und der vierte Chip C4 bilden einen Low-side-Schalter.

30

Steueranschlüsse TA der Chips C1, C2, C3, C4 sind mit einer Treiber-Platine P verbunden.

35

Die Chips C1, C2, C3, C4 weisen kein Chipgehäuse auf. Der erste Chip C1 und der dritte Chip C3 sind derart an einem ersten metallischen Körper K1 befestigt, dass ein erster Anschluss A11 des ersten Chips C1 und ein erster Anschluss A13

des dritten Chips C3 mit dem ersten Körper K1 elektrisch verbunden sind (siehe Figur 2). Der erste Körper K1 ist mit dem Spannungsanschluss SP verbunden.

5 Ein zweiter metallischer Körper K2 ist auf dem ersten Chip C1 und dem dritten Chip C3 derart angeordnet, dass ein zweiter Anschluss A21 des ersten Chips C1 und ein zweiter Anschluss A23 des dritten Chips C3 elektrisch mit dem zweiten Körper K2 verbunden sind.

10

Auf dem zweiten Körper K2 sind der zweite Chip C2 und der vierte Chip C4 derart angeordnet, dass ein erster Anschluss A12 des zweiten Chips C2 und ein erster Anschluss A14 des vierten Chips C4 mit dem zweiten Körper K2 elektrisch verbunden sind.

15

Auf dem zweiten Chip C2 und dem vierten Chip C4 ist ein dritter metallischer Körper K3 derart angeordnet, dass ein zweiter Anschluss A22 des zweiten Chips C2 und ein zweiter Anschluss A24 des vierten Chips C4 elektrisch mit dem dritten Körper K3 verbunden sind.

20

Auf dem dritten Körper K3 ist die Treiber-Platine P angeordnet.

25

Der erste Körper K1, der zweite Körper K2 und der dritte Körper K3 bestehen im wesentlichen jeweils aus einer Kupferplatte und einer darauf angeordneten Nickelschicht, die eine Oxidation des Kupfer verhindert. Die Körper K1, K2, K3 sind ca. 1 mm bis 4 mm dick. Die Chips C1, C2, C3, C4 sind ca. 150 bis 200 µm dick und weisen einen horizontalen rechteckigen Querschnitt auf, der ca. 7 mm lang und ca. 6 mm breit ist.

30

Es ist eine erste Bohrung B1 vorgesehen, die durch die Treiber-Platine P, den dritten Körper K3 und den zweiten Körper K2 bis zum ersten Chip C1 verläuft. Die erste Bohrung B1 legt den Steueranschluss TA des ersten Chips C1 frei. Eine als

35

Bondverbindung ausgestaltete Gateverbindung B ist am Steueranschluss TA des ersten Chips C1 befestigt. Ein aus der ersten Bohrung B1 ragendes Ende der Gateverbindung B ist mit der Treiber-Platine P verbunden.

5

Es ist eine zweite Bohrung B2 vorgesehen, die durch die Treiber-Platine T und durch den dritten Körper K3 bis zum zweiten Chip C2 verläuft. Die zweite Bohrung B2 legt den Steueranschluss TA des zweiten Chips C2 frei. Eine als Bondverbindung
10 ausgestaltete Gateverbindung B ist am Steueranschluss TA des zweiten Chips C2 und an der Treiber-Platine P befestigt.

15

Es ist eine dritte Bohrung B3 vorgesehen, die wie die erste Bohrung B1 ausgestaltet ist und bis zum dritten Chip C3 verläuft. Eine als Bondverbindung ausgestaltete Gateverbindung B verbindet den Steueranschluss TA des dritten Chips C3 mit der Treiber-Platine P und verläuft durch die dritte Bohrung B3.

20

Es ist eine vierte Bohrung B4 vorgesehen, die wie die zweite Bohrung B2 ausgestaltet ist und bis zum vierten Chip C4 verläuft. Eine in der vierten Bohrung B4 angeordnete als Bondverbindung ausgestaltete Gateverbindung B verbindet den Steueranschluss TA des vierten Chips C4 mit der Treiber-Platine P.

25

Zur Vermeidung eines Kurzschlusses der Gateverbindungen B mit dem zweiten Körper K2 und dem dritten Körper K3, sind die Bohrungen B1, B2, B3, B4 mit einer isolierenden Schicht I versehen. Die isolierende Schicht I besteht aus Plasikröhrchen.
30

Die Bohrungen B1, B2, B3, B4 weisen einen kreisförmigen Querschnitt auf mit einem Radius von ca. 1 mm bis 1,5 mm.

35

In einem zweiten Ausführungsbeispiel ist eine zweite Schaltungsanordnung vorgesehen, die aus einer Halbbrücke und einer Treiber-Platine P' besteht. (siehe Figur 3)

Wie im ersten Ausführungsbeispiel weist die zweite Schaltungsanordnung einen ersten Körper K1', einen zweiten Körper K2', einen dritten Körper K3', einen ersten Chip C1', einen
5 zweiten Chip C2' auf.

Im Bereich des Steueranschlusses des ersten Chips C1' weist der zweite Körper K2' an seinem seitlichen Umfang eine Aussparung A auf. Eine als Bondverbindung ausgestaltete Gatever-
10 bindung B' ist mit dem Steueranschluss des ersten Chips C1' verbunden und wird seitlich aus dem Stapel bestehend aus dem ersten Körper K1', dem zweiten Körper K2', dem dritten Körper K3', dem ersten Chip C1' und dem zweiten Chip C2' herausge-
führt und ist mit der Treiber-Platine P', die neben dem Sta-
15 pel angeordnet ist, verbunden.

Der dritte Körper K3' weist im Bereich des Steueranschlusses des zweiten Chips C2' an seinem seitlichen Umfang eine Aussparung A auf. Eine als Bondverbindung ausgestaltete Gatever-
20 bindung B' ist mit dem Steueranschluss des zweiten Chips C2' verbunden, wird seitlich aus dem Stapel herausgeführt und ist mit der Treiber-Platine P' verbunden.

Patentansprüche

1. Schaltungsanordnung

- mit mindestens einem ersten Chip (C1) ohne Chipgehäuse,
- 5 - mit einem ersten metallischen Körper (K1) und einem zweiten metallischen Körper (K2), zwischen denen der erste Chip (C1) angeordnet ist,
- wobei der erste Chip (C1) am ersten Körper (K1) derart befestigt ist, dass ein erster Anschluss (A11) des ersten
- 10 Chips (C1) mit dem ersten Körper (K1) elektrisch verbunden ist,
- wobei der erste Körper (K1) derart ausgestaltet ist, dass er als Träger des ersten Chips (C1) dient,
- wobei der erste Chip (C1) derart mit dem zweiten metalli-
- 15 schen Körper (K2) verbunden ist, dass ein zweiter Anschluss (A21) des ersten Chips (C1) mit dem zweiten Körper (K2) elektrisch verbunden ist.

2. Schaltungsanordnung nach Anspruch 1,

- 20 - bei der eine erste Bohrung (B1) durch den zweiten Körper (K2) bis zum ersten Chip (C1) verläuft,
- bei der eine als Bondverbindung ausgestaltete Gateverbindung (B) in der ersten Bohrung (B1) angeordnet ist und einen Steueranschluss (TA) des ersten Chips (C1) kontaktiert,
- 25 - bei der oberhalb des zweiten Körpers (K2) eine Treiber-Platine (P) angeordnet ist, mit der die Gateverbindung (B) verbunden ist.

3. Schaltungsanordnung nach Anspruch 1,

- 30 - bei der der erste Chip (C1') einen Steueranschluss aufweist, der durch eine Gateverbindung (B') kontaktiert wird,
- bei der der zweite Körper (K2') im Bereich des Steueranschlusses des ersten Chips (C1') eine solche Aussparung (A) für die Gateverbindung (B') aufweist, dass die Gateverbin-
- 35 dung (B') seitlich aus dem Stapel, der durch mindestens dem ersten Körper (K1'), dem ersten Chip (C1') und dem zweiten Körper (K2') gebildet wird, herausführbar ist.

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3,
- mit einem zweiten Chip (C2) ohne Chipgehäuse, der derart am
zweiten Körper (K2) befestigt ist, dass ein erster An-
schluss (A12) des zweiten Chips (C2) mit dem zweiten Körper
(K2) elektrisch verbunden ist und dass der zweite Körper
(K2) zwischen dem ersten Chip (C1) und dem zweiten Chip
(C2) angeordnet ist,
- wobei der zweite Körper (K2) derart ausgestaltet ist, dass
er als Träger des zweiten Chips (C2) dient,
- mit einem dritten metallischen Körper (K3), der derart mit
dem zweiten Chip (C2) verbunden ist, dass ein zweiter An-
schluss (A22) des zweiten Chips (C2) mit dem dritten Körper
(K3) elektrisch verbunden ist und dass der zweite Chip (C2)
zwischen dem zweiten Körper (K2) und dem dritten Körper
(K3) angeordnet ist.
5. Schaltungsanordnung nach Anspruch 2 und 4,
- bei der die erste Bohrung (B1) durch den dritten Körper
(K3) und durch den zweiten Körper (K2) verläuft,
- bei der eine zweite Bohrung (B2) durch den dritten Körper
(K3) bis zum zweiten Chip (C2) verläuft,
- bei der eine als Bondverbindung ausgestaltete Gateverbin-
dung (B) in der zweiten Bohrung (B2) angeordnet ist und ei-
nen Steueranschluss (TA) des zweiten Chips (C2) und die
Treiber-Platine (P) kontaktiert,
- bei der die Treiber-Platine (P) auf dem dritten Körper (K3)
angeordnet ist.
6. Schaltungsanordnung nach Anspruch 2 oder 5,
- bei der die erste Bohrung (B1) und/oder die zweite Bohrung
(B2) mit einer isolierenden Schicht (I) versehen sind.
7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6,
- mit einem dritten Chip (C3) ohne Chipgehäuse, der zwischen
dem ersten Körper (K1) und dem zweiten Körper (K2) angeord-
net ist,

- wobei der dritte Chip (C3) am ersten Körper (K1) derart befestigt ist, dass ein erster Anschluss (A13) des dritten Chips (C3) mit dem ersten Körper (K1) elektrisch verbunden ist,
 - 5 - wobei der dritte Chip (C3) derart mit dem zweiten metallischen Körper (K2) verbunden ist, dass ein zweiter Anschluss (A23) des dritten Chips (C3) mit dem zweiten Körper (K2) elektrisch verbunden ist.
- 10 8. Schaltungsanordnung nach einem der Ansprüche 1 bis 7,
- bei der mindestens der erste Chip (C1) einen Leistungshalbleiter enthält.
9. Schaltungsanordnung nach Anspruch 8,
- 15 - die als Parallelschaltung von Halbbrücken ausgestaltet ist,
- wobei jede Halbbrücke aus einer Reihenschaltung zweier Chips (C1, C2; C3, C4) besteht, die jeweils einen MOSFET-Transistor enthalten, von denen der eine wie der erste Chip (C1) zwischen dem ersten Körper (K1) und dem zweiten Körper (K2) und der andere wie der zweite Chip (C2) zwischen dem
- 20 (K2) und der dritte Körper (K3) angeordnet ist,
- wobei der erste Chip (C1) und der zweite Chip (C2) eine der Halbbrücken bilden,
- 25 - wobei Chips (C1, C3), die zwischen dem ersten Körper (K1) und dem zweiten Körper (K2) angeordnet sind, parallel geschaltet sind,
- wobei Chips (C2, C4), die zwischen dem zweiten Körper (K2) und dem dritten Körper (K3) angeordnet sind, parallel geschaltet sind.
- 30
10. Schaltungsanordnung nach Anspruch 9,
- bei der der erste Körper (K1) mit einem Spannungsanschluss (SP) verbunden ist,
 - 35 - bei der der zweite Körper (K2) mit einem Ausgangsanschluss (AA) verbunden ist,

- bei der der dritte Körper (K3) mit einem Groundanschluss (GA) verbunden ist,
 - bei dem die Chips (C1, C3), die zwischen dem ersten Körper (K1) und dem zweiten Körper (K2) angeordnet sind, eine
- 5 High-side-Schalter bilden,
- bei dem die Chips (C2, C4), die zwischen dem zweiten Körper (K2) und dem dritten Körper (K3) angeordnet sind, eine Low-side-Schalter bilden.

1/2

FIG 1

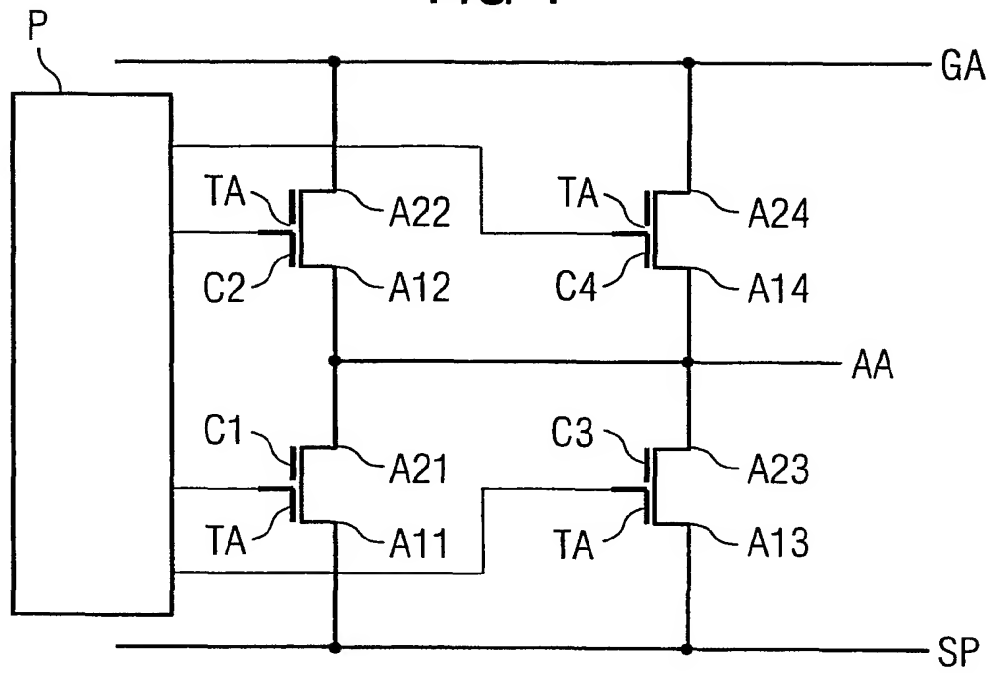


FIG 3

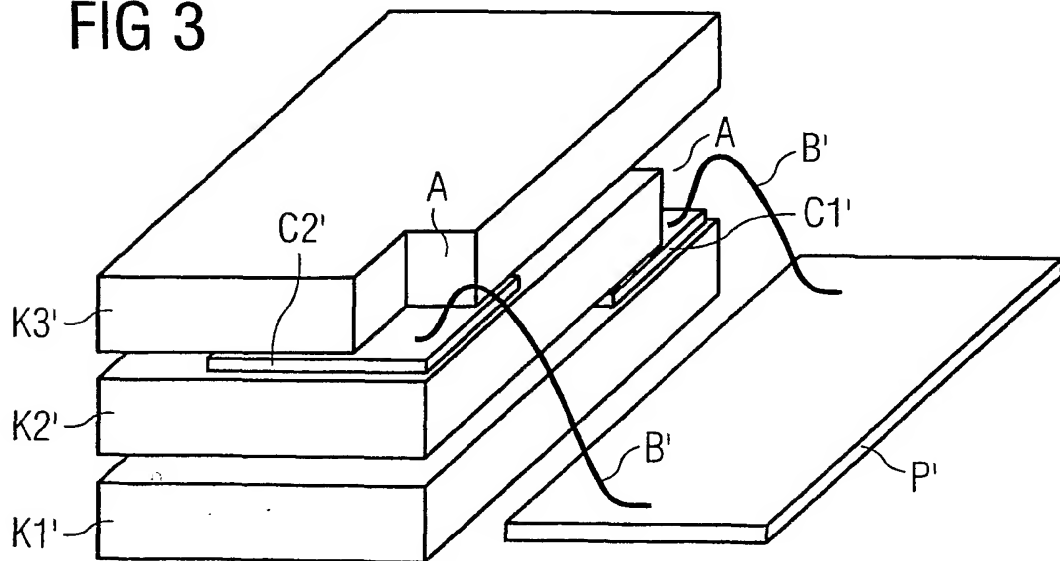
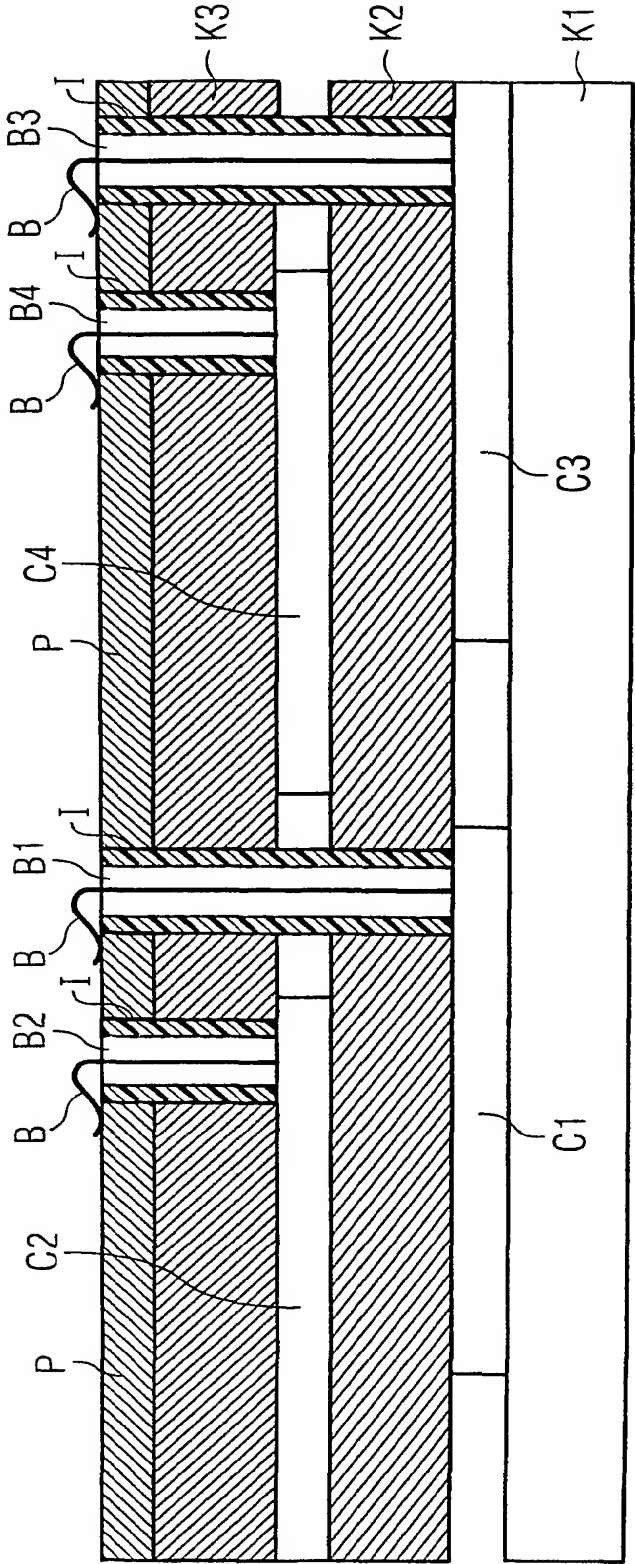


FIG 2



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 02/00125

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L25/07

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 635 427 A (TAKAHASHI YOSHIKAZU) 3 June 1997 (1997-06-03) column 5, line 46 -column 6, line 56 column 7, line 14 -column 7, line 18; figures 1,2	1,3,7,8
X	US 3 249 827 A (HEINZ SCHNEIDER ET AL) 3 May 1966 (1966-05-03) column 3, line 3 -column 3, line 51; figures 1-3	1,8
X	DE 33 22 593 A (KLOECKNER MOELLER ELEKTRIZIT) 10 January 1985 (1985-01-10)	1
A	page 5, line 14 -page 6, line 14; figures 1,2	2



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

22 May 2002

Date of mailing of the international search report

29/05/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2

NL - 2280 HV Rijswijk

Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,

Fax: (+31-70) 340-3016

Authorized officer

Cousins, D

INTERNATIONAL SEARCH REPORT
Information on patent family members

International Application No
PCT/DE 02/00125

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5635427	A	03-06-1997	JP 3180863 B2	25-06-2001
			JP 7094673 A	07-04-1995
			DE 69413160 D1	15-10-1998
			DE 69413160 T2	18-02-1999
			DE 69421831 D1	30-12-1999
			DE 69421831 T2	09-03-2000
			EP 0637080 A1	01-02-1995
			EP 0784342 A2	16-07-1997
			US 5539220 A	23-07-1996
US 3249827	A	03-05-1966	DE 1123049 B	01-02-1962
			DE 1170557 B	21-05-1964
			DE 1223461 B	25-08-1966
			DE 1252807 B	26-10-1967
			CH 392699 A	31-05-1965
			FR 1285161 A	16-02-1962
			GB 944817 A	18-12-1963
			NL 262934 A	
			US 3223900 A	14-12-1965
			US 3230427 A	18-01-1966
DE 3322593	A	10-01-1985	DE 3322593 A1	10-01-1985

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 02/00125

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L25/07

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 635 427 A (TAKAHASHI YOSHIKAZU) 3. Juni 1997 (1997-06-03) Spalte 5, Zeile 46 -Spalte 6, Zeile 56 Spalte 7, Zeile 14 -Spalte 7, Zeile 18; Abbildungen 1,2 ---	1,3,7,8
X	US 3 249 827 A (HEINZ SCHNEIDER ET AL) 3. Mai 1966 (1966-05-03) Spalte 3, Zeile 3 -Spalte 3, Zeile 51; Abbildungen 1-3 ---	1,8
X	DE 33 22 593 A (KLOECKNER MOELLER ELEKTRIZIT) 10. Januar 1985 (1985-01-10) Seite 5, Zeile 14 -Seite 6, Zeile 14; Abbildungen 1,2 -----	1
A		2

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

22. Mai 2002

Absendedatum des internationalen Recherchenberichts

29/05/2002

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Cousins, D

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 02/00125

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5635427 A	03-06-1997	JP 3180863 B2	25-06-2001
		JP 7094673 A	07-04-1995
		DE 69413160 D1	15-10-1998
		DE 69413160 T2	18-02-1999
		DE 69421831 D1	30-12-1999
		DE 69421831 T2	09-03-2000
		EP 0637080 A1	01-02-1995
		EP 0784342 A2	16-07-1997
		US 5539220 A	23-07-1996
US 3249827 A	03-05-1966	DE 1123049 B	01-02-1962
		DE 1170557 B	21-05-1964
		DE 1223461 B	25-08-1966
		DE 1252807 B	26-10-1967
		CH 392699 A	31-05-1965
		FR 1285161 A	16-02-1962
		GB 944817 A	18-12-1963
		NL 262934 A	
		US 3223900 A	14-12-1965
		US 3230427 A	18-01-1966
DE 3322593 A	10-01-1985	DE 3322593 A1	10-01-1985